



# BREVET D'INVENTION

## CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

### COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 15 juillet 2003

Pour le Directeur général de l'Institut  
national de la propriété industrielle  
Le Chef du Département des brevets

Martine PLANCHE

INSTITUT  
NATIONAL DE  
LA PROPRIETE  
INDUSTRIELLE

SIEGE  
26 bis, rue de Saint Petersbourg  
75800 PARIS cedex 08  
Téléphone : 33 (0)1 53 04 53 04  
Télécopie : 33 (0)1 53 04 45 23  
[www.inpi.fr](http://www.inpi.fr)



## REQUÊTE EN DÉLIVRANCE 1/2

Réservé à  
L'INPI

Cet imprimé est à remplir lisiblement à l'encre noire

REMISE DES PIÈCES DATE 19 JUIL 2002 LIEU 38 INPI GRENOBLE N° D'ENREGISTREMENT 0209229 NATIONAL ATTRIBUÉ PAR L'INPI DATE DE DÉPÔT ATTRIBUÉE PAR L'INPI 19 JUIL. 2002 Vos références pour ce dossier <sup>( facultatif )</sup> B5612		<b>1</b> NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE  <b>Cabinet Michel de Beaumont</b> <b>1 rue Champollion</b> <b>38000 GRENOBLE</b>
--	--	--

Confirmation d'un dépôt par télécopie  N° attribué par l'INPI à la télécopie

<b>2</b> NATURE DE LA DEMANDE		Cochez l'une des 4 cases suivantes	
Demande de Brevet		<input checked="" type="checkbox"/>	
Demande de certificat d'utilité		<input type="checkbox"/>	
Demande divisionnaire		<input type="checkbox"/>	
<i>Demande de brevet initiale</i> <i>ou demande de certificat d'utilité initiale</i>		N° N°	Date / / Date / /
Transformation d'une demande de brevet européen		<input type="checkbox"/>	Date / /
<i>Demande de brevet initiale</i> <i>N°</i>			

**3** TITRE DE L'INVENTION (200 caractères ou espaces maximum)

## AFFICHAGE D'IMAGE SUR UN ÉCRAN MATRICIEL

<b>4</b> DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE		Pays ou organisation Date _____ N° Pays ou organisation Date / / N° Pays ou organisation Date / / N° <input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé "Suite"	
<b>5</b> DEMANDEUR		<input type="checkbox"/> S'il y a d'autres demandeurs, cochez la case et utilisez l'imprimé "Suite"	
Nom ou dénomination sociale		STMicroelectronics SA	
Prénoms			
Forme juridique		Société anonyme	
N° SIREN			
Code APE-NAF			
ADRESSE	Rue	29, Boulevard Romain Rolland	
	Code postal et ville	92120	MONTROUGE
Pays		FRANCE	
Nationalité		Française	
N° de téléphone ( facultatif )			
N° de télécopie ( facultatif )			
Adresse électronique ( facultatif )			

Réervé à  
L'INPI

REMISE DES PIÈCES  
DATE 19 JUIL 2002  
LIEU 38 INPI GRENOBLE  
N° D'ENREGISTREMENT 0209229  
NATIONAL ATTRIBUÉ PAR L'INPI

<b>Vos références pour ce dossier :</b> (facultatif) B5612			
<b>6 MANDATAIRE</b>			
Nom			
Prénom			
Cabinet ou Société		Cabinet Michel de Beaumont	
N° de pouvoir permanent et/ou de lien contractuel			
ADRESSE	Rue	1 Rue Champollion	
	Code postal et ville	38000	GRENOBLE
N° de téléphone (facultatif)		04.76.51.84.51	
N° de télécopie (facultatif)		04.76.44.62.54	
Adresse électronique (facultatif)		cab.beaumont@wanadoo.fr	
<b>7 INVENTEUR (S)</b>			
Les inventeurs sont les demandeurs		<input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non Dans ce cas fournir une désignation d'inventeur (s) séparée	
<b>8 RAPPORT DE RECHERCHE</b>		Uniquement pour une demande de brevet (y compris division et transformation)	
Etablissement immédiat ou établissement différé		<input checked="" type="checkbox"/> <input type="checkbox"/>	
Paiement échelonné de la redevance		Paiement en trois versements, uniquement pour les personnes physiques <input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non	
<b>9 RÉDUCTION DU TAUX DES REDEVANCES</b>		Uniquement pour les personnes physiques <input type="checkbox"/> Requise pour la première fois pour cette invention (joindre un avis de non-imposition) <input type="checkbox"/> Requise antérieurement à ce dépôt (joindre une copie de la décision d'admission pour cette invention ou indiquer sa référence) :	
Si vous avez utilisé l'imprimé "Suite", indiquez le nombre de pages jointes			
<b>10 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE (Nom et qualité du signataire)</b>  Michel de Beaumont Mandataire n° 92-1016		<b>VISA DE LA PREFECTURE OU DE L'INPI</b>   	

**AFFICHAGE D'IMAGE SUR UN ÉCRAN MATRICIEL**

La présente invention concerne un procédé et un dispositif d'affichage d'images sur un écran matriciel par activation de pixels de l'écran disposés en lignes et en colonnes.

La présente invention trouve une application notamment pour les écrans matriciels dans lesquels chaque pixel est constitué d'une diode électroluminescente, par exemple de nature organique ou polymère (écran du type OLED de l'anglais Organic Light Emetting Display, ou PLED de l'anglais Polymer Light Emetting Display). Les cathodes des diodes d'une même ligne sont reliées à une électrode de ligne et les anodes des diodes d'une même colonne sont reliées à une électrode de colonne.

La figure 1 représente un exemple de dispositif classique d'affichage d'une image sur un écran matriciel.

Dans le présent exemple, l'image est affichée sur un écran 10 sous la forme d'une seule trame. Chaque pixel 12 est alors associé à un point mémoire 14 d'une mémoire de trame 16, par exemple une mémoire RAM. Les points mémoires 14 sont disposés en Y rangées et en X colonnes et peuvent être mis à l'état 0 ou à l'état 1 par l'intermédiaire d'une interface d'écriture 18 (WRITING INTERFACE) qui reçoit des données à inscrire  $W_{DATA}$  ainsi que les adresses  $W_{ADDRESS}$  de ces données. L'interface d'écriture 18 est commandée par un signal d'horloge

d'écriture  $W_{CLK}$ . L'image à afficher sur l'écran 10 est stockée au préalable sous forme numérique dans la mémoire de trame 16. A titre d'exemple, un point mémoire 14 est mis à 1 lorsque le pixel 12 correspondant de l'écran 10 est à allumer, et mis à 0 dans le cas contraire.

Lors du fonctionnement normal du dispositif d'affichage, l'image stockée dans la mémoire de trame 16 est affichée sur l'écran 10 à la fréquence d'un signal d'horloge de trame  $F_{CLK}$ . Les états de tous les points mémoires 14 d'une rangée peuvent être lus par une interface de lecture 20 (READING INTERFACE). L'interface de lecture 20 reçoit à la fréquence d'un signal d'horloge de lecture  $R_{CLK}$  un signal d'adresse  $R_{ADDRESS}$  fourni par un compteur d'adresse 22 (ADDRESS COUNTER) qui indique la rangée de la mémoire de trame 16 à lire. L'interface de lecture 20 fournit alors à un circuit de commande de colonnes 23 (COLUMN DRIVERS) des données  $R_{DATA}$ , par exemple sous forme de X bits, qui représentent les états des points mémoires 14 de la rangée d'adresse  $R_{ADDRESS}$ . Un circuit de commande de lignes 24 (ROW DRIVERS) reçoit également un signal d'adresse ADDRESS, par exemple sous forme de Y bits, correspondant à l'image de l'adresse  $R_{ADDRESS}$  par un décodeur 26 et qui permet l'activation de la ligne de l'écran 10 associée à la rangée d'adresse  $R_{ADDRESS}$  de la mémoire de trame 16. Le circuit de commande de colonnes 23 active alors ou non les pixels 12 de la ligne activée en fonction des données  $R_{DATA}$ . A titre d'exemple, les pixels activés en figure 1 sont représentés par des croix 27.

Dans certaines applications, notamment pour des écrans de téléphones portables ou d'agendas électroniques, l'image stockée dans la mémoire de trame 16 peut ne pas être modifiée lors de l'affichage de nombreuses trames successives. Certains pixels 12 de l'écran 10 sont alors activés et d'autres éteints pendant de nombreuses trames successives. Il en résulte un vieillissement inégal des pixels 12 de l'écran 10.

Pour éviter le vieillissement inégal des pixels de l'écran, on cherche à afficher des images successives dif-

férentes sur l'écran 10 même si l'image stockée dans la mémoire de trame 16 est fixe ou varie de façon sporadique pour plusieurs trames affichées successives.

La figure 2 représente un dispositif d'affichage d'images sur un écran matriciel qui prévoit un mode de fonctionnement particulier, ou mode de veille, qui permet d'afficher des images successives différentes sur l'écran à partir d'une image stockée dans une mémoire de veille 30 qui est fixe ou varie de façon sporadique.

Un module de calcul 32 (C.P.U), piloté par le microprocesseur du dispositif d'affichage, est adapté à lire les états des points mémoires de la mémoire de veille 30, à déterminer une nouvelle image en calculant de nouveaux états et à écrire les nouveaux états dans la mémoire de trame 16 par l'intermédiaire de l'interface d'écriture 18. A partir de l'image stockée dans la mémoire de veille 30, le module de calcul 32 détermine donc une nouvelle image stockée dans la mémoire de trame 16 qui sera lue de façon habituelle par l'interface de lecture 20 et affichée sur l'écran 10 comme cela a été expliqué précédemment.

En mode de veille, la nouvelle image calculée par le module de calcul 32 correspond souvent à l'image stockée dans la mémoire de veille 30 décalée selon les directions des rangées et des colonnes. En fonction de la fréquence à laquelle le module de calcul 32 fournit de nouvelles images stockées dans la mémoire de trame 16, un spectateur peut percevoir l'image de la mémoire de veille 30 qui se déplace sur l'écran 10.

Un inconvénient d'un tel dispositif est que le module de calcul doit produire de nouvelles images à une fréquence suffisante par rapport à la fréquence du signal d'horloge de trame FCLK pour obtenir un mouvement sur l'écran 10 satisfaisant. De ce fait, les capacités de travail du microprocesseur du dispositif sont sollicitées pour le calcul des nouvelles images, ce qui augmente la charge de travail du microprocesseur.

La présente invention vise un procédé et un dispositif d'affichage d'images sur un écran matriciel à partir d'une image stockée dans une mémoire de trame qui prévoit un mode de veille qui permet d'afficher des images successives différentes à 5 partir d'une image stockée en mémoire qui est fixe ou varie de façon sporadique et qui ne sollicite pas ou peu le micro-processeur du dispositif d'affichage.

Pour atteindre cet objet, la présente invention prévoit un procédé d'affichage d'une image par activation de 10 pixels d'un écran matriciel 10 à partir d'une image stockée sous forme numérique dans des rangées de points mémoires 14 d'une mémoire de trame 16, comprenant un mode d'affichage normal comportant, pour l'affichage d'une image, les étapes suivantes : 15 (a) fournir une succession d'adresses de rangée associées à des rangées de la mémoire de trame ; (b) lire successivement les états de points mémoires des rangées associées aux adresses de rangée ; et (c) activer, pour chaque adresse de rangée, des pixels d'une ligne associée à ladite adresse de rangée à partir des états lus de la rangée associée à ladite adresse. Le procédé 20 comprend un mode de veille consistant à remplacer l'étape (c) par les étapes suivantes : (d) fournir, par un circuit dédié, à une fréquence proportionnelle à la fréquence d'affichage, une succession cyclique de valeurs de décalage ; et (e) pour chaque adresse de rangée de la mémoire de trame, activer des pixels 25 d'une ligne de l'écran associée à ladite adresse décalée d'une même valeur de décalage à partir des états lus de la rangée associée à ladite adresse, et/ou activer des pixels d'une ligne de l'écran associée à ladite adresse de rangée à partir des états lus de la rangée de la mémoire de trame associée à ladite 30 adresse décalés d'une même valeur de décalage.

La présente invention prévoit également un dispositif d'affichage d'une image sur un écran matriciel comprenant une mémoire de trame comprenant des points mémoires disposés en rangées et en colonnes ; un moyen d'écriture pour stocker dans 35 la mémoire de trame une image sous forme numérique ; un moyen de

lecture pour lire les états des points mémoires d'une rangée de la mémoire de trame à une adresse de rangée déterminée ; un circuit de commande de lignes pour sélectionner une ligne de l'écran à partir de l'adresse de rangée déterminée ; et un circuit de commande de colonnes pour activer des pixels de ladite ligne sélectionnée à partir des états de points mémoires lus par le moyen de lecture. Le dispositif comprend en outre un circuit dédié de commande pour fournir, à une fréquence proportionnelle à la fréquence d'affichage d'images, une succession cyclique de valeurs de décalage ; et un circuit d'adresse dédié recevant l'adresse de la rangée lue par le moyen de lecture et transmettant au circuit de commande de lignes une nouvelle adresse correspondant à l'adresse de la rangée lue décalée d'une même valeur de décalage, et/ou un circuit d'états dédié recevant les états des points lus par le moyen de lecture et transmettant au circuit de commande de colonnes de nouveaux états correspondant aux états lus décalés d'une même valeur de décalage.

Selon un autre mode de réalisation, le circuit d'états dédié est un registre à décalage, dans lequel sont écrits les états de points mémoires fournis par le moyen de lecture, adapté à réaliser un décalage d'un nombre déterminé de bits sur lesdits états.

Selon un autre mode de réalisation, le circuit d'adresse dédié est un additionneur adapté à additionner la valeur de décalage à l'adresse de la rangée lue.

Selon un autre mode de réalisation, l'écran est un écran matriciel à diodes électroluminescentes.

Cet objet, ces caractéristiques et avantages, ainsi que d'autres de la présente invention seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non-limitatif en relation avec les figures jointes parmi lesquelles :

la figure 1, précédemment décrite, représente un dispositif classique d'affichage d'une image sur un écran matriciel ;

la figure 2, précédemment décrite, représente un dispositif classique permettant l'affichage d'images successives différentes sur un écran matriciel à partir d'une image sensiblement fixe stockée en mémoire ; et

la figure 3 représente un exemple de réalisation selon l'invention d'un dispositif permettant l'affichage d'images successives différentes sur un écran matriciel à partir d'une image fixe ou variant sporadiquement stockée en mémoire.

Le dispositif d'affichage illustré en figure 3 comprend une mémoire de trame 16 dans laquelle est stockée sous forme numérique une image par l'intermédiaire de l'interface d'écriture 18. Lors de l'affichage d'une image, à la fréquence du signal d'horloge de trame FCLK, le compteur d'adresse 22 fournit successivement les adresses R<sub>ADDRESS</sub> des rangées de la mémoire 16 à la fréquence du signal d'horloge de lecture RCLK. A titre d'exemple, une adresse R<sub>ADDRESS</sub> peut consister d'un entier, sous forme binaire, variant de 1 à Y. A réception de l'adresse d'une rangée, l'interface de lecture 20 lit les états des X points mémoires de la rangée et les transmet à un registre 40 (REGISTER) sous forme de X bits à 1 ou à 0. Chaque adresse R<sub>ADDRESS</sub> est transmise à un module logique 42 (ALU), constitué par exemple d'un additionneur. Un système de commande de décalage de ligne et de colonne 44, par exemple constitué d'une machine à états finis, est relié au registre 40 et au module logique 42. Le système de commande 44 reçoit un signal de configuration C du microprocesseur du dispositif d'affichage ainsi que le signal d'horloge de trame FCLK.

Le registre 40 est un registre à décalage adapté à partir des X bits reçus de l'interface de lecture 20 à fournir X nouveaux bits au circuit de commande de colonnes 23. Les X nouveaux bits correspondent par exemple aux X anciens bits décalés d'un nombre déterminé de bits dans un sens ou dans

l'autre. Le registre 40 peut être un registre à décalage à rebouclage ou un simple registre à décalage. Dans ce dernier cas, les bits décalés sont complétés par des bits à 0. Le registre 40 doit pouvoir réaliser l'opération de décalage lors 5 d'une période du signal d'horloge de lecture R<sub>CLK</sub>. Au maximum, le registre 40 doit donc pouvoir réaliser X opérations de décalage en une période du signal d'horloge de lecture R<sub>CLK</sub>. Le système de commande 44 fournit au registre 40, à partir du signal de commande C, des signaux d'offset R<sub>OFFSET</sub> et de 10 direction R<sub>DIRECTION</sub> qui fixent respectivement le nombre de bits de décalage et le sens de décalage.

Le module logique 42 est adapté à additionner ou à soustraire une quantité de variation à l'adresse R<sub>ADDRESS</sub> pour obtenir une nouvelle adresse R'<sub>ADDRESS</sub> fournie au décodeur 26. 15 Le système de commande 44 fournit au module logique 42, à partir du signal de commande C, des signaux d'offset R<sub>OFFSET</sub> et de direction R<sub>DIRECTION</sub> qui fixent respectivement la valeur de la quantité de variation et le choix entre une addition ou une soustraction.

20 Le système 44 transmet respectivement au registre 40 et au module logique 42 les signaux d'offset et de direction à la fréquence du signal d'horloge de trame F<sub>CLK</sub>. Pour chaque rangée de la mémoire 20, le registre 40 effectue alors un même décalage sur les bits lus et le module logique 42 incrémente ou 25 décrémente chaque adresse R<sub>ADDRESS</sub> d'une même quantité de variation. En conséquence, pour chaque rangée de la mémoire 20, les états des points mémoires sont décalés et la rangée ainsi modifiée est affichée sur l'écran 10 à une ligne décalée par rapport à la ligne normalement associée à ladite rangée.

30 A titre d'exemple, les pixels 27 activés sur l'écran 10 en figure 3 correspondent à un décalage de 1 bit du registre 40 vers la droite et à un décalage de une ligne par le module 42 vers le bas.

En fonction du signal de commande C, le système 44 35 fournit de nouvelles valeurs des signaux d'offset et de

direction à la fréquence du signal d'horloge de trame  $F_{CLK}$  ou à un multiple de cette fréquence. Selon la fréquence de telles modifications, l'image affichée sur l'écran 10 peut, pour de mêmes signaux d'offset et de direction, présenter pour un 5 spectateur un mouvement d'ensemble plus ou moins rapide. Les valeurs des signaux d'offset et de direction varient de façon cyclique. A titre d'exemple, pour obtenir un mouvement global de l'image affichée dans la direction des lignes de l'écran 10, le système 44 peut fournir à une première impulsion du signal 10 d'horloge de trame  $F_{CLK}$  un signal d'offset  $R_{OFFSET}$  commandant un décalage de 1 bit, à l'impulsion suivante du signal d'horloge de trame  $F_{CLK}$  un signal d'offset commandant un décalage de 2 bits, etc... Les signaux d'offset et de direction peuvent être déterminés pour simuler, par exemple, un rebond de l'image sur 15 les bords de l'écran.

Lors du fonctionnement normal du dispositif d'affichage, les signaux de décalage et de direction sont nuls, et l'image affichée sur l'écran 10 ne subit pas de modifications par rapport à l'image stockée dans la mémoire de trame 16. En mode 20 de veille, un signal de commande C, entraînant l'affichage d'images en mouvement, peut être transmis au système 44. A titre d'exemple, le mode de veille peut être initié, dans le cas d'un écran de téléphone portable, lors de l'absence d'action de l'utilisateur sur le clavier du téléphone pendant une durée 25 déterminée.

Selon une variante de l'invention, le registre 40 peut effectuer au lieu d'un décalage des bits reçus ou en plus de celui-ci une modification sur lesdits bits. Des portes logiques (non représentées) peuvent également être associées au registre 30 40 de façon à réaliser diverses opérations logiques sur les bits stockés dans le registre 40. Par exemple, les bits stockés dans le registre 40 peuvent être inversés à la fréquence du signal d'horloge de trame  $F_{CLK}$  ou à un multiple de cette fréquence.

Lors de l'affichage d'images selon le procédé de 35 l'invention, le microprocesseur du dispositif d'affichage

n'intervient que pour transmettre un signal de commande au système 44 afin de commander le mouvement à appliquer à l'image stockée dans la mémoire de trame 16, ou la transformation réalisée sur l'image stockée dans la mémoire de trame 16. Par la 5 suite, les étapes de traitement de l'image ne sont réalisées que par des circuits dédiés, c'est-à-dire le registre 40, le module logique 42 ou le système 44 et ne sollicitent pas les capacités de calcul du microprocesseur.

En outre, le mouvement appliqué à l'image stockée dans 10 la mémoire de trame 16 peut être tel que globalement tous les pixels 12 de l'écran 10 sont allumés sensiblement le même nombre de fois. On évite ainsi un vieillissement inégal des pixels 12.

Bien entendu, la présente invention est susceptible de diverses variantes et modifications qui apparaîtront à l'homme 15 de l'art.

REVENDICATIONS

1. Procédé d'affichage d'une image par activation de pixels d'un écran matriciel (10) à partir d'une image stockée sous forme numérique dans des rangées de points mémoires (14) d'une mémoire de trame (16), comprenant un mode d'affichage normal comportant, pour l'affichage d'une image, les étapes suivantes :

(a) fournir une succession d'adresses de rangée associées à des rangées de la mémoire de trame ;

10 (b) lire successivement les états de points mémoires des rangées associées aux adresses de rangée ; et

(c) activer, pour chaque adresse de rangée, des pixels d'une ligne associée à ladite adresse de rangée à partir des états lus de la rangée associée à ladite adresse,

15 caractérisé en ce qu'il comprend un mode de veille consistant à remplacer l'étape (c) par les étapes suivantes :

(d) fournir, par un circuit dédié, à une fréquence proportionnelle à la fréquence d'affichage, une succession cyclique de valeurs de décalage ; et

20 (e) pour chaque adresse de rangée de la mémoire de trame, activer des pixels d'une ligne de l'écran associée à ladite adresse décalée d'une même valeur de décalage à partir des états lus de la rangée associée à ladite adresse, et/ou activer des pixels d'une ligne de l'écran associée à ladite adresse de rangée à partir des états lus de la rangée de la 25 mémoire de trame associée à ladite adresse décalés d'une même valeur de décalage.

2. Dispositif d'affichage d'une image sur un écran matriciel (10) comprenant :

30 une mémoire de trame (16) comprenant des points mémoires (14) disposés en rangées et en colonnes ;

un moyen d'écriture (18) pour stocker dans la mémoire de trame une image sous forme numérique ;

un moyen de lecture (20) pour lire les états des points mémoires d'une rangée de la mémoire de trame à une adresse de rangée ( $R_{ADDRESS}$ ) déterminée ;

5 un circuit de commande de lignes (24) pour sélectionner une ligne de l'écran à partir de l'adresse de rangée déterminée ; et

un circuit de commande de colonnes (23) pour activer des pixels (12) de ladite ligne sélectionnée à partir des états de points mémoires lus par le moyen de lecture,

10 caractérisé en ce qu'il comprend en outre :

un circuit dédié de commande (44) pour fournir, à une fréquence proportionnelle à la fréquence d'affichage d'images, une succession cyclique de valeurs de décalage ; et

15 un circuit d'adresse dédié (42) recevant l'adresse ( $R_{ADDRESS}$ ) de la rangée lue par le moyen de lecture et transmettant au circuit de commande de lignes un nouvelle adresse ( $R'_{ADDRESS}$ ) correspondant à l'adresse ( $R_{ADDRESS}$ ) de la rangée lue décalée d'une même valeur de décalage, et/ou un circuit d'états dédié (40) recevant les états ( $R_{DATA}$ ) des points lus par  
20 le moyen de lecture et transmettant au circuit de commande de colonnes (23) de nouveaux états ( $R'_{DATA}$ ) correspondant aux états lus décalés d'une même valeur de décalage.

3. Dispositif selon la revendication 2, dans lequel le circuit d'états dédié (40) est un registre à décalage (40), dans  
25 lequel sont écrits les états de points mémoires (14) fournis par le moyen de lecture (20), adapté à réaliser un décalage d'un nombre déterminé de bits sur lesdits états.

4. Dispositif selon la revendication 2, dans lequel le circuit d'adresse dédié (42) est un additionneur adapté  
30 additionner la valeur de décalage à l'adresse ( $R_{ADDRESS}$ ) de la rangée lue.

5. Dispositif selon la revendication 2, dans lequel l'écran (10) est un écran matriciel à diodes électro-luminescentes.



1/3

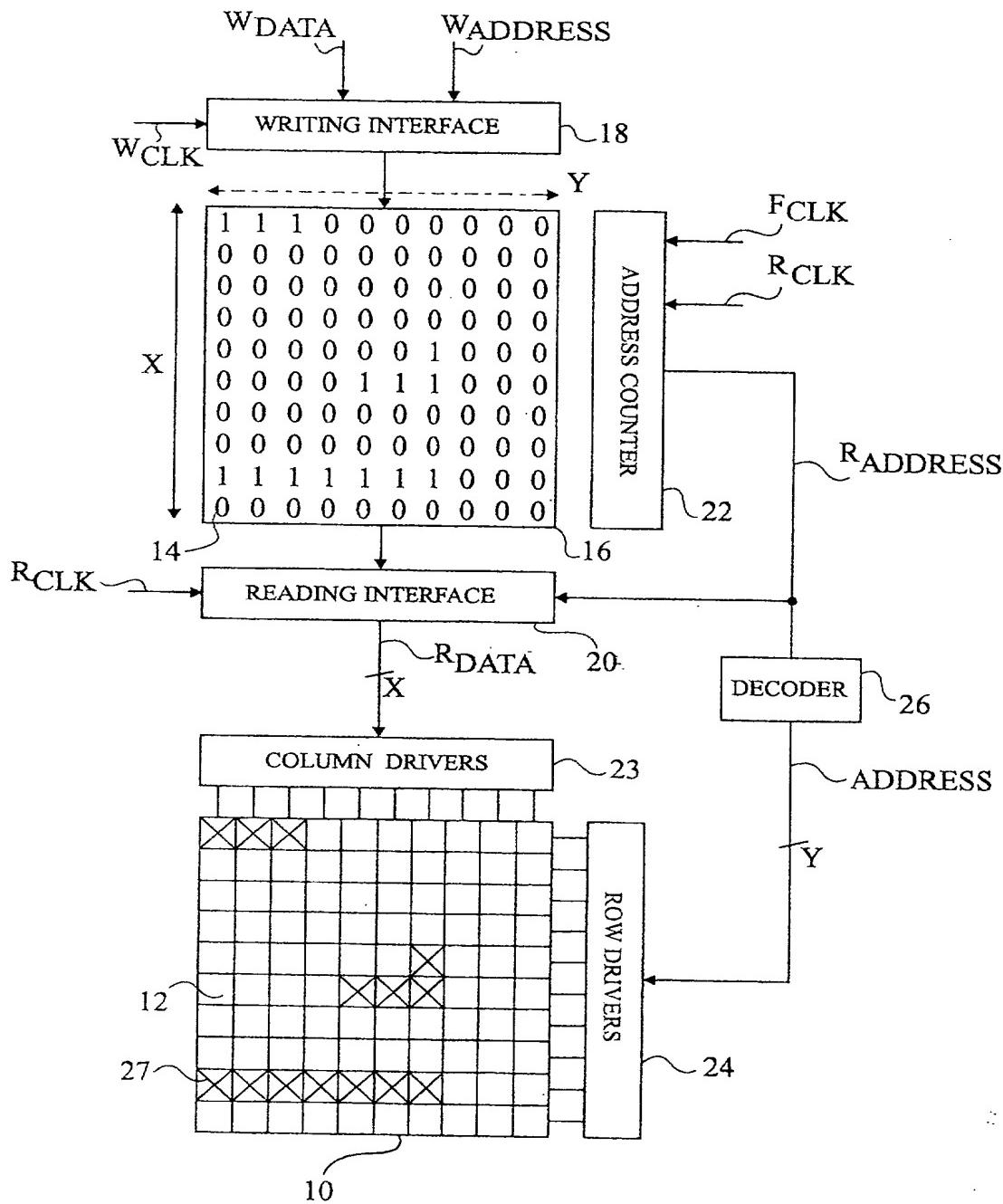


Fig 1

2/3

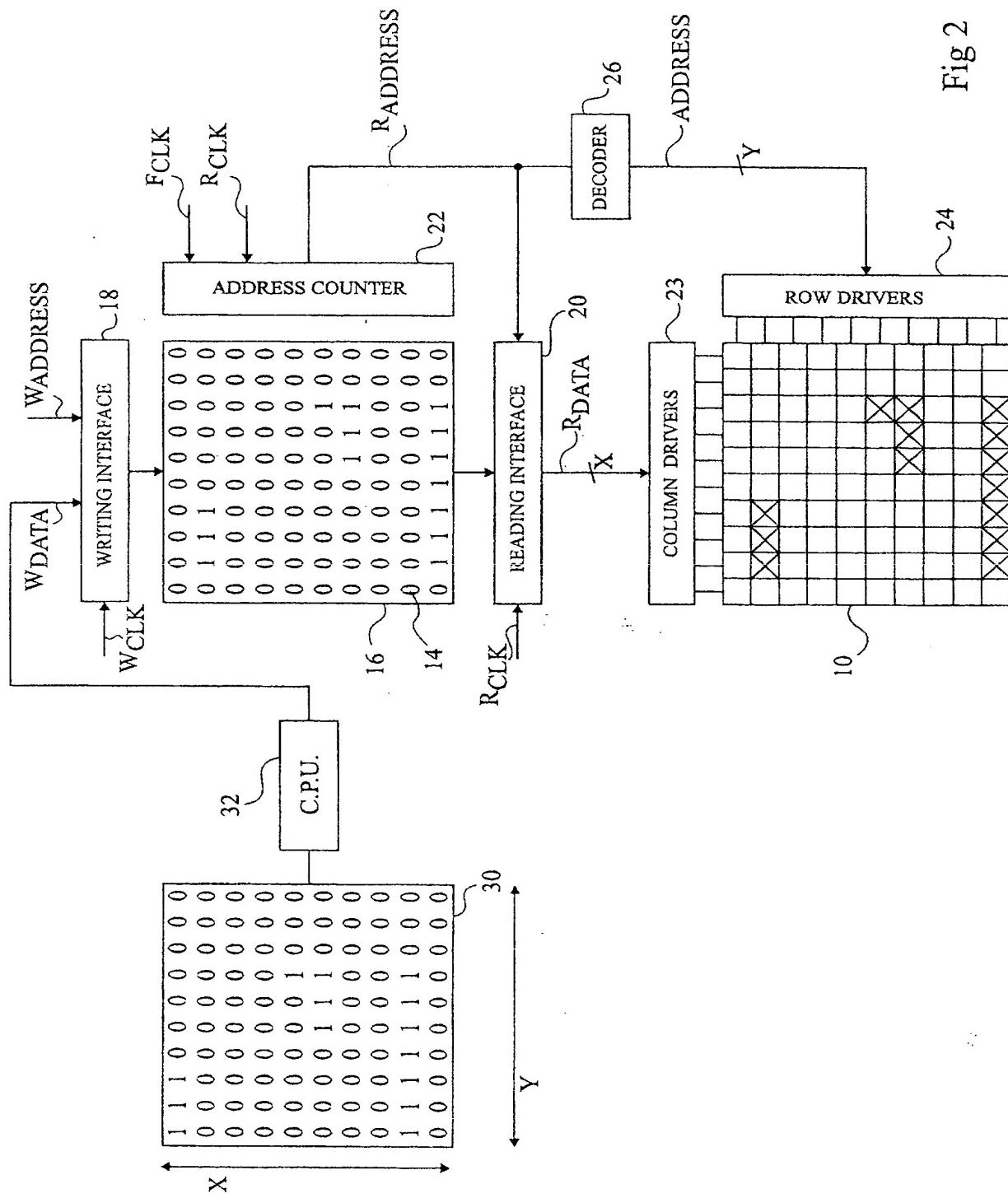


Fig 2

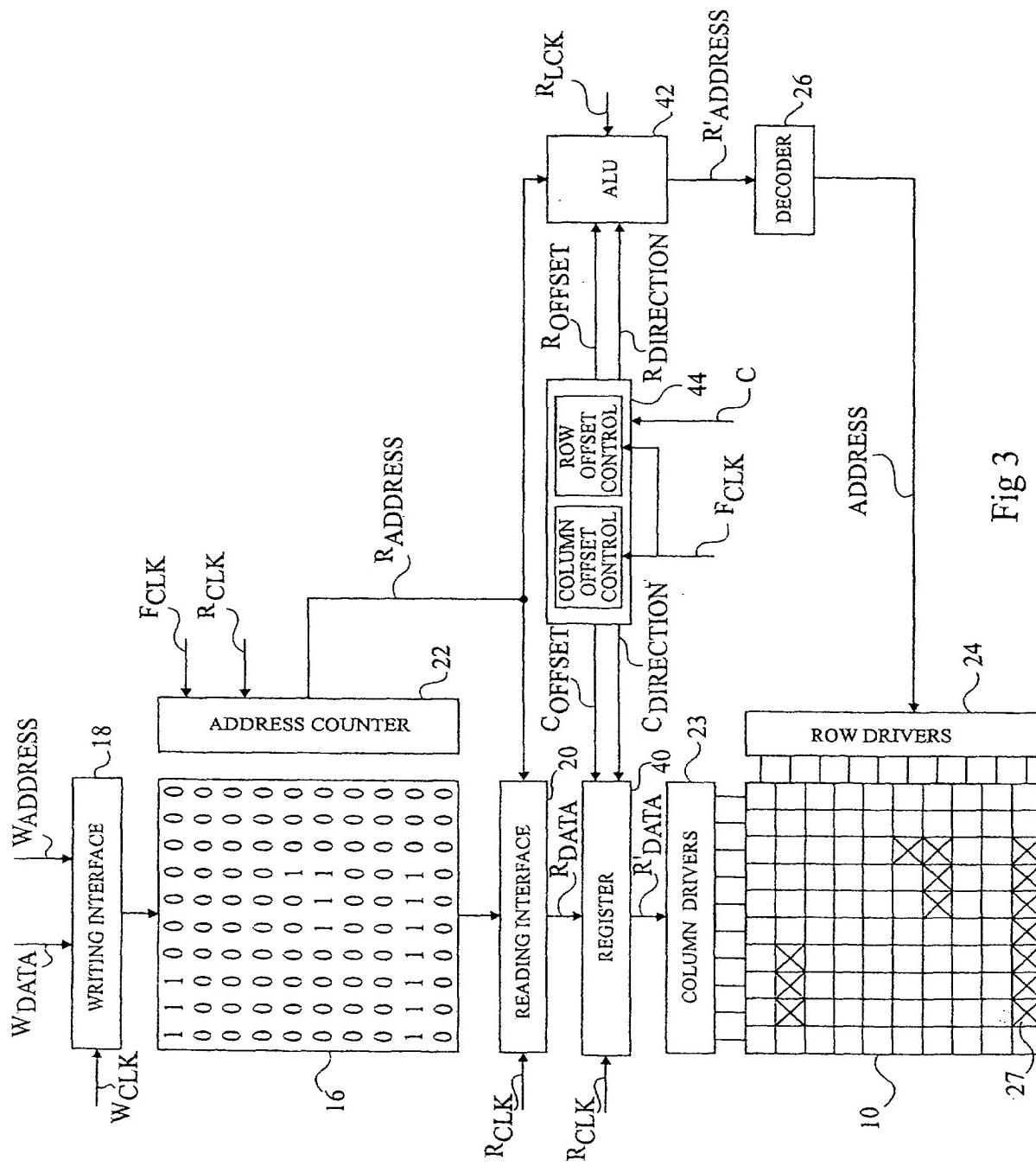


Fig 3



DÉPARTEMENT DES BREVETS  
26<sup>e</sup> bis, rue de Saint Pétersbourg  
75800 Paris Cedex 08  
Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

## BREVET D'INVENTION,

## CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle-Livre VI

**cerfa**  
N° 55-1328

## DÉSIGNATION D'INVENTEUR(S) PAGE N°1/2

(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Cet imprimé est à remplir lisiblement à l'encre noire

Vos références pour ce dossier (facultatif)	B5612		
N° D'ENREGISTREMENT NATIONAL	0209229		
<b>TITRE DE L'INVENTION</b> (200 caractères ou espaces maximum)  AFFICHAGE D'IMAGE SUR UN ÉCRAN MATRICIEL			
<b>LE(S) DEMANDEUR(S):</b> STMicroelectronics SA			
<b>DESIGNE (NT) EN TANT QU'INVENTEUR(S) :</b> (Indiquez en haut à droite "Page N°1/1" S'il y a plus de trois inventeurs, utilisez un formulaire identique et numérotez chaque page en indiquant le nombre total de pages).			
Prénoms & Nom		Céline <u>Mas</u>	
ADRESSE	Rue	17, Allée Flora Tristan	
	Code postal et ville	38320	POISAT, FRANCE
Société d'appartenance (facultatif)			
Prénoms & Nom		Eric <u>Benoit</u>	
ADRESSE	Rue	Chemin du Mas	
	Code postal et ville	38950	QUAIX EN CHARTREUSE, FRANCE
Société d'appartenance (facultatif)			
Prénoms & Nom		Olivier <u>Scouarnec</u>	
ADRESSE	Rue	595 RN 90, Côté Jardin	
	Code postal et ville	38330	SAINT NAZAIRE LES EYMES, FRANCE
Société d'appartenance (facultatif)			
DATE ET SIGNATURE(S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire)			
Michel de Beaumont Mandataire n° 92-1016			
Le 18 juillet 2002			

## DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg

75800 Paris Cedex 08

Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

## BREVET D'INVENTION,

## CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle-Livre VI

## DÉSIGNATION D'INVENTEUR(S) PAGE N°2/2

(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Cet imprimé est à remplir lisiblement à l'encre noire

Vos références pour ce dossier (facultatif)	B5612		
N° D'ENREGISTREMENT NATIONAL	0209229		
TITRE DE L'INVENTION (200 caractères ou espaces maximum)			
AFFICHAGE D'IMAGE SUR UN ÉCRAN MATRICIEL			
LE(S) DEMANDEUR(S) :			
STMicroelectronics SA			
DESIGNE (NT) EN TANT QU'INVENTEUR(S) : (Indiquez en haut à droite "Page N°1/1" S'il y a plus de trois inventeurs, utilisez un formulaire identique et numérotez chaque page en indiquant le nombre total de pages).			
Prénoms & Nom		Olivier Le Briz	
ADRESSE	Rue	Le port de Saint-Gervais	
	Code postal et ville	38470	SAINT-GERVAIS, FRANCE
Société d'appartenance (facultatif)			
Prénoms & Nom			
ADRESSE	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
Prénoms & Nom			
ADRESSE	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
DATE ET SIGNATURE (S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire)			
Michel de Beaumont Mandataire n° 92-1016			
Le 18 juillet 2002		